



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05145036 A**(43) Date of publication of application: **11.06.93**

(51) Int. Cl.

H01L 27/108(21) Application number: **03309424**(22) Date of filing: **25.11.91**(71) Applicant: **TOSHIBA CORP**(72) Inventor:
YAMADA TAKASHI
OZAKI TORU
TAKEDAI SEIICHI
AOKI MASAMI**(54) SEMICONDUCTOR STORAGE DEVICE AND ITS MANUFACTURE**

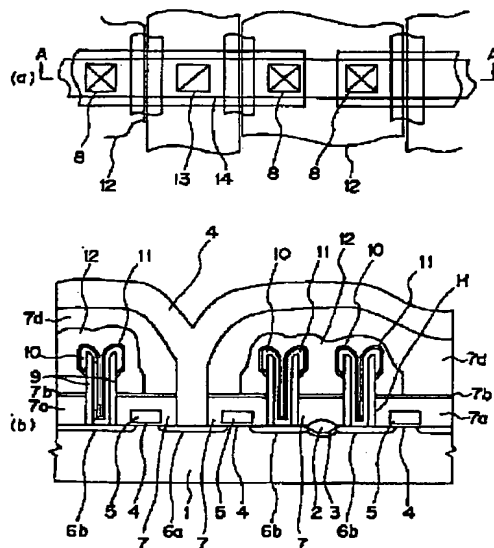
of the side wall insulating film 9.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To ensure sufficient capacitor capacitance when memory cell occupation area is reduced, by forming a storage node electrode so as to pass a protruding end from the inner wall of a cylindrical side wall insulating film formed so as to protrude from a storage node contact, and to leave the lower end of the outer side wall.

CONSTITUTION: An MOS FET is formed in a region surrounded by an element isolation insulating film 2 of a P-type silicon substrate 1. A capacitor is so laminated that a storage node electrode 10 is connected with one side of the source/drain region. The storage node electrode 10 is formed in a self-alignment manner to a side wall insulating film 9, so as to pass a protruding end from a storage contact surface 8 and the inner wall of the cylindrical side wall insulating film 9 which is formed so as to protrude from the storage node contact surface 8, and to leave the lower end of the outer side wall. Thereby the effective capacitor area can be increased by the amount of area where the capacitor is formed so as to cover the protruding part



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-145036

(43) 公開日 平成5年(1993)6月11日

(51) Int.Cl.⁵

H 0 1 L 27/108

識別記号

庁内整理番号

8728-4M

F I

H 0 1 L 27/10

技術表示箇所

3 2 5 M

審査請求 未請求 請求項の数3(全7頁)

(21) 出願番号 特願平3-309424

(22) 出願日 平成3年(1991)11月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山田 敬

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72) 発明者 尾崎 徹

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(72) 発明者 竹大 精一

神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内

(74) 代理人 弁理士 木村 高久

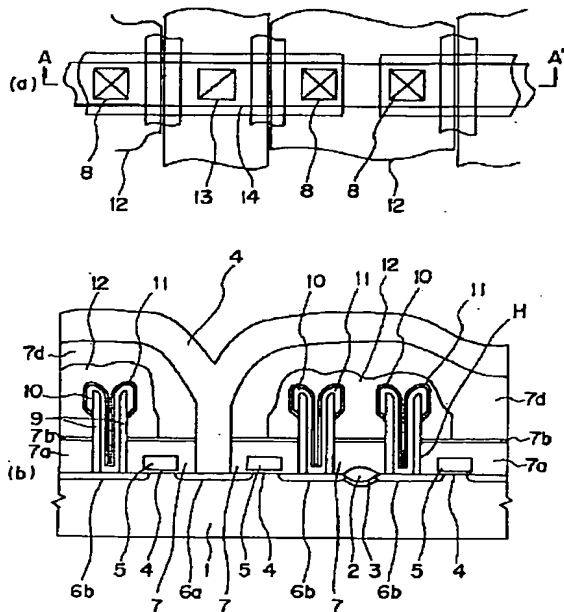
最終頁に続く

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】 (修正有)

【目的】 本発明は、キャパシタ容量の増大をはかることを目的とする。

【構成】 本発明では、ストレージノードコンタクト8から突出するように形成された筒状の側壁絶縁膜9の内壁から突出端を通り、外側側壁の下端を残すようにストレージノード電極10を形成している。また、本発明の方法では、ストレージノードコンタクト8から突出するように筒状の側壁絶縁膜9を形成し、さらに電極材料を全面に堆積した後、全面をレジストで被覆し、フォトリソグラフィにより、外壁下部を除いて筒状の側壁絶縁膜9の周りの電極材料を覆うようにレジストをパターニングし、このレジストをマスクとして電極材料をエッチングし、ストレージノードコンタクト8から突出するように形成された筒状の側壁絶縁膜9の内壁から突出端を通り、外側側壁の下端を残す形状のストレージノード電極10を形成するようにしている。



1

【特許請求の範囲】

【請求項1】 MOSFETと、

前記MOSFETのソースまたはドレイン領域に、ストレージノードコンタクトを介して接続されたストレージノード電極とキャパシタ絶縁膜とプレート電極とからなるキャパシタとによって、メモリセルを形成してなるDRAMにおいて、

前記ストレージノード電極は、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜の内壁から突出端を通り、外側側壁の下端を残すように構成されていることを特徴とする半導体記憶装置。

【請求項2】 半導体基板内にMOSFETを形成するMOSFET形成工程と、

前記MOSFETのソースまたはドレイン領域に、ストレージノードコンタクトを介して接続されたストレージノード電極とキャパシタ絶縁膜とプレート電極とからなるキャパシタを積層するキャパシタ形成工程とを含む半導体記憶装置の製造方法において、

前記ストレージノード電極の形成工程が、ストレージノードコンタクトから突出するように筒状の側壁絶縁膜を形成する側壁絶縁膜形成工程と、

電極材料を全面に堆積する電極材料堆積工程と、

下部を除いて筒状の前記側壁絶縁膜の周りの電極材料を覆うようにレジストをパターニングするレジストパターン形成工程と、

このレジストパターンをマスクとして電極材料をエッチングし、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜の内壁から突出端を通り、外側側壁の下端を残す形状に加工するエッチング工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項3】 半導体基板内にMOSFETを形成するMOSFET形成工程と、

前記MOSFETのゲート電極の上部及び側壁を絶縁膜で被覆する絶縁膜形成工程と、

この上層に層間絶縁膜を形成する層間絶縁膜形成工程と、

前記層間絶縁膜を選択的に除去し前記MOSFETのソースドレインの一方を露呈せしめるように、ストレージノードコンタクトを形成するストレージノードコンタクト形成工程と、

前記ストレージノードコンタクトの側壁から突出するように側壁絶縁膜を形成する側壁絶縁膜形成工程と、

このストレージノードコンタクトを覆いかつ側壁絶縁膜の外壁にまで到達するようにストレージノード電極を形成するストレージノード電極形成工程と、

前記側壁絶縁膜をエッチング除去する側壁絶縁膜除去工程と前記ストレージノード電極の周りにキャパシタ絶縁膜を形成するキャパシタ絶縁膜形成工程と、

キャパシタ絶縁膜の上層にプレート電極を形成するプレ

2

ート電極形成工程と前記層間絶縁膜にビット線コンタクトを形成しビット線を形成するビット線形成工程とを含むことを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置およびその製造方法に係り、特に半導体記憶装置（DRAM）等におけるキャパシタに関する。

【0002】

【従来の技術】DRAMは高集積化の一途を辿り、これに伴い、情報（電荷）を蓄積するキャパシタの面積は減少し、この結果メモリ内容が誤って読み出されたり、あるいは α 線等によりメモリ内容が破壊されるソフトエラーなどが問題になっている。

【0003】このような問題を解決し、高集積化、大容量化をはかるための方法の1つとして、MOSキャパシタをメモリセル領域上に積層し、該キャパシタの1電極と、半導体基板上に形成されたスイッチングトランジスタの1電極とを導通させるようにすることにより、実質的にキャパシタの占有面積を拡大し、MOSキャパシタの静電容量を増大させるようにした積層型メモリセルと呼ばれるメモリセル構造が提案されている。

【0004】このような構造では、ストレージノード電極を素子分離領域の上まで拡大することができ、また、ストレージノード電極の膜厚を厚くしてその側壁をキャパシタとして利用できることから、キャパシタ容量をプレーナ構造の数倍以上に高めることができる。また、さらにストレージノード部の拡散層は、ストレージノード電極下の拡散層領域だけとなり、 α 線により発生した電荷を収集する拡散層の面積が極めて小さく、ソフトエラーに強いセル構造となっている。

【0005】しかしながら、このような積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化が進むにつれて、メモリセル占有面積が縮小化され、ストレージノード電極の平坦部の面積がますます縮小化し、十分なキャパシタ容量を確保するのが困難になってきている。

【0006】そこで積層型キャパシタ構造の1つとして、図9に示すようにストレージノードコンタクトの側壁に沿って上方に突出するように筒状の絶縁膜を形成し、この絶縁膜によって形成される段差に沿ってストレージノード電極を形成したものがある。

【0007】この構造では平面的にはメモリセルの占有面積を増大することなく、筒状の絶縁膜の高さによりストレージノード電極の表面積を大きくしてキャパシタの実質的な面積を補償することができる。

【0008】しかしながらこの構造ではストレージノードコンタクトの側壁絶縁膜とストレージノード電極とを自己整合的に形成するのは困難であるという問題があった。すなわち図10に示すようにストレージノード電極

のパターンニング時の合わせずれにより、ストレージノード電極が側壁絶縁膜上で切れてしまうことがある。この場合は側壁絶縁膜を突出させたことによるストレージノード電極面積増大効果がなくなってしまうという問題がある。このことは、隣接するキャパシタのストレージノード電極のパターン間距離を最小デザインルールに合わせ精度を補償する分のサイズを加えた分以下には微細加工することができないということを意味し、これは高集積化を進める上での大きな問題となってくる。

【0009】

【発明が解決しようとする課題】 このように、積層型メモリセル構造のDRAMにおいても、高集積化に伴う素子の微細化がさらに進むと、側壁絶縁膜とストレージノード電極との自己整合化がなされていないため、メモリセル占有面積がさらに縮小化されると十分なキャパシタ容量を得ることができないという問題があった。

【0010】 本発明は、前記実情に鑑みてなされたもので、メモリセル占有面積のさらなる縮小化に際しても、十分なキャパシタ容量を確保することのできるメモリセル構造を提供することを目的とする。

【0011】

【課題を解決するための手段】 そこで本発明のDRAMでは、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜の内壁から突出端を通り、外側側壁の下端を残すようにストレージノード電極を形成している。

【0012】 また、本発明の方法では、ストレージノードコンタクトから突出するように筒状の側壁絶縁膜を形成し、さらに電極材料を全面に堆積した後、全面をレジストで被覆し、フォトリソグラフィにより、外壁下部を除いて筒状の側壁絶縁膜の周りの電極材料を覆うようにレジストをパターンニングし、このレジストをマスクとして電極材料をエッチングし、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜の内壁から突出端を通り、外側側壁の下端を残す形状のストレージノード電極を形成するようにしている。

【0013】 また本発明の方法では、ストレージノードコンタクトの側壁から突出するように側壁絶縁膜を形成し、このストレージノードコンタクトを覆いかつ側壁絶縁膜の外壁にまで到達するようにストレージノード電極を形成したのち、この側壁絶縁膜をエッチング除去し、ストレージノード電極の周りにキャパシタ絶縁膜を形成しさらにプレート電極を形成している。

【0014】

【作用】 上記構成によれば、ストレージノード電極が、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜に対して自己整合的に形成されているため、合わせ余裕をとる必要がなくなり、キャパシタ容量を低減することなく、隣接セルのキャパシタ間距離を少なくし、メモリセル占有面積のさらなる縮小化を

はかることができる。

【0015】 また本発明の方法によれば、ストレージノードコンタクトから突出するように筒状の側壁絶縁膜を形成し、さらに電極材料を全面に堆積した後、露光量を制御したフォトリソグラフィにより、外壁下部を除いて筒状の側壁絶縁膜の周りの電極材料を覆うようにレジストをパターンニングし、このレジストをマスクとして電極材料をエッチングするようにしているため、ストレージノードコンタクトから突出するように形成された筒状の側壁絶縁膜の内壁から突出端を通り、外側側壁の下端を残す、自己整合型形状のストレージノード電極を形成することが可能となる。

【0016】 また、ストレージノードコンタクトの側壁から突出するように側壁絶縁膜を形成し、このストレージノードコンタクトを覆いかつ側壁絶縁膜の外壁にまで到達するようにストレージノード電極を形成したのち、この側壁絶縁膜をエッチング除去し、ストレージノード電極の周りにキャパシタ絶縁膜を形成しさらにプレート電極を形成しているため、側壁絶縁膜と接していたストレージノード電極の裏面もキャパシタ面として使用できるためさらなるキャパシタ容量の増大をはかることができる。

【0017】

【実施例】 以下、本発明の実施例について図面を参照しつつ詳細に説明する。

【0018】 実施例1 図1は、本発明の第1の実施例の積層形メモリセル構造のDRAMのビット線方向に隣接する3ビット分を示す平面図およびそのA-A断面図である。

【0019】 このDRAMは、p型シリコン基板1の素子分離絶縁膜2で囲まれた領域にMOSFETを形成し、このMOSFETのソース・ドレイン領域の一方にストレージノード電極10が接続するようにキャパシタを積層したもので、ストレージノード電極10がストレージノードコンタクト面およびストレージノードコンタクト面から突出するように形成された側壁絶縁膜9の内壁から突出端を通り、外側側壁の下端を残すように、この側壁絶縁膜に自己整合的に形成されていることを特徴とするもので、この側壁絶縁膜9の突出部を覆うように形成されている分だけ実効的なキャパシタ面積の増大をはかることができるようにしている。他部については従来例の積層形メモリセル構造のDRAMと同様である。

【0020】 すなわちMOSFETは、p型シリコン基板1の素子分離絶縁膜2で囲まれた領域にゲート絶縁膜4を介してゲート電極5を形成するとともに、ゲート電極5に自己整合的にソース・ドレイン拡散層となるn型拡散層6a、6bを形成することによって構成されている。

【0021】 そしてこれらn型拡散層6a、6bのうちキャパシタに接続される6bにはストレージノードコン

5

タクト8を介してストレージノード電極10が形成され、6aにはビット線コンタクトを介してビット線14が形成される。なお素子分離絶縁膜2の底部にはパンチスルーストップ用のp-形拡散層3が形成されている。この構造では、側壁絶縁膜の突出部の両側面の面積の和の分の容量を側壁部分から得ることができる。

【0022】次に、このDRAMの製造方法について図面を参照しつつ説明する。

【0023】まず、図2(a)および(b)に示すように、比抵抗 $5\Omega\text{cm}$ のp型のシリコン基板1に、通常のLOCOS法により、膜厚 700nm の酸化シリコン層からなる素子分離絶縁膜2を形成する。このときの酸化工程により、パンチスルーストップ用のp-形拡散層3を形成する。この後必要に応じて素子領域には閾値制御のためのイオン注入を行う。そして、熱酸化法により膜厚 10nm の酸化シリコン層および膜厚 300nm の多結晶シリコン層を形成し、フォトリソ法および反応性イオンエッチング法によってこれらをパターンニングし、ゲート絶縁膜4およびゲート電極5を形成する。そして、このゲート電極5をマスクとしてAsイオンをイオン注入し、n-形拡散層6a、6bからなるソース・ドレイン領域を形成し、スイッチングトランジスタとしてのMOSFETを形成する。この拡散層の深さは、例えば 150nm 程度になる。その後、LPCVD法等により全面に酸化シリコン膜7a、窒化シリコン膜7bおよび酸化シリコン膜7cとからなる層間絶縁膜7を形成する。これは、厚い酸化シリコン膜を堆積した後ラッピング法により上側から酸化シリコン膜を削ってならしていくなどの方法によりできるだけ平坦な形状をとることが望ましい。また、高集積化に伴いゲート電極のパターンが微細になってくるとゲート電極間スペースの $1/2$ 以上の膜厚の絶縁膜LPCVD法などステップカバレッジの良い方法で堆積するだけでもかなりの平坦化が可能となる。この平坦化はキャパシタ形成の際レジストの膜厚を一定にするという意味で重要となる。

【0024】そしてさらに、フォトリソグラフィと反応性イオンエッチングによりストレージノードコンタクト8を形成し、n型拡散層6bを露呈せしめる。そして、窒化シリコン膜を 50nm 程度堆積し異方性エッチングを行いストレージノードコンタクト側壁にのみ残留せしめ側壁絶縁膜9とする。このとき層間絶縁膜7上にエッチング残りが生じないためにも、酸化シリコン膜7cは平坦であることが望ましい。

【0025】この後、フッ化アンモニウムを用いて酸化シリコン膜7cをエッチング除去することにより側壁絶縁膜9が突出した形状を得る。このとき窒化シリコン膜7bがエッチングストップとなる。この後多結晶シリコン膜を $50\sim 200\text{nm}$ 堆積しこれにヒ素またはリンをドーピングしたのち、パターンニングする。パターンニングに際しては、まず全面にネガ型のフォトレジストを堆積

6

し、図3(a)にMで示すような開口を有するマスクパターンMを用いて露光を行う。このとき露光時間または光量を制御することにより、露光領域の露光深さを制御し、わずかに露光されないで残るようにする。すなわち露光量が少ないときはレジストの表面付近しか露光されないが露光量を大きくしていくと次第に露光される深さが深くなり、ついには全レジストの膜厚分の深さまで露光される。このようにして露光されるレジストの深さが側壁絶縁膜の中腹に来るようにし、現像後のレジストパターンRは、図3(b)に示すように下部に空洞を有して側壁絶縁膜の周りを覆うように形成される。ここで下部は空洞となっているが上部は密着しているため、レジストが飛んでしまったりすることはない。

【0026】この後ドライエッチングにより多結晶シリコン膜をエッチングすると側壁絶縁膜内部および周りを除いてエッチング除去され、側壁絶縁膜に対して自己整合的にパターンニングがなされる。このようにしてストレージノード電極10が形成される(図4(a)および(b))。

【0027】そしてレジスト除去後、LPCVD法により全面に窒化シリコン膜を 10nm 程度堆積し 950°C の水蒸気雰囲気中で30分程度酸化することによりキャパシタ絶縁膜11を形成する。この後全面に多結晶シリコン膜を堆積し、これにヒ素またはリンをドーピングした後、フォトリソグラフィとドライエッチングによりプレート電極12を形成する(図5)。

【0028】次に全面に層間絶縁膜としてCVD法により膜厚 150nm の酸化シリコン膜7dを堆積しフォトリソグラフィと反応性イオンエッチングとによりビット線コンタクトを形成し、アルミニウム膜あるいはモリブデンポリサイドを用いたビット線14を形成する。このようにして図1に示したDRAMが完成する。

【0029】上記構成によれば、ストレージノードコンタクトの側壁に突出する側壁絶縁膜9に自己整合的にストレージノード電極10が形成されるため、合わせ余裕をとることもなく、セルサイズを小さくすることが可能となる。

【0030】なお、前記実施例に限定されことなく、ストレージノードコンタクトやビット線コンタクトをゲート電極に対して自己整合的に形成するようにしてもよいことはいうまでもない。

【0031】また、前記実施例ではレジストの露光量を制御して露光深さを調整することにより空洞を形成した(図3(b)参照)が、まず平坦な酸化シリコン膜を形成してフッ化アンモニウム等を用いたウェットエッチング等によりエッチバックし平坦部にのみ酸化シリコン膜を残しておきその上でネガレジストを塗布し、ストレージノードのパターンで完全に露光して、パターン下の酸化シリコン膜を除去することによって空洞を形成し、ストレージノードをパターンニングするにしてもよい。

【0032】なお次に、本発明の第2の実施例について説明する。

【0033】前記実施例では側壁絶縁膜はそのまま残したが、この例ではストレージノード電極のパターニング後、側壁絶縁膜をエッチング除去し、図6に示すようにストレージノード電極10が側壁絶縁膜と接していた面もキャパシタとして用いるようにしたものである。

【0034】すなわち図4に示したように多結晶シリコン膜をパターニングしてストレージノード電極を形成する工程までは前記実施例と全く同様に形成し、図7に示すようにレジストパターンRを除去した後、側壁絶縁膜9をエッチング除去する。ここで側壁絶縁膜9は窒化シリコンで構成されているため、窒化シリコンが酸化シリコンおよび多結晶シリコンに対してエッチング選択性を有するような条件でエッチングするようにすれば、側壁絶縁膜（窒化シリコン）9および平坦部の窒化シリコン膜7bは除去されるが、平坦部の酸化シリコン膜7aはそのまま残る。なおこのエッチングには熱リン酸によるエッチングを用いても良い。

【0035】この状態で前記実施例と同様にLPCVD法により全面に窒化シリコン膜を10nm程度堆積し950℃の水蒸気雰囲気中で30分程度酸化することによりキャパシタ絶縁膜11を形成する。この後全面に多結晶シリコン膜を堆積し、これにヒ素またはリンをドーピングした後、フォトリソグラフィとドライエッチングによりプレート電極12を形成する（図8）。

【0036】そして次に全面に層間絶縁膜としてCVD法により膜厚150nmの酸化シリコン膜7dを堆積しフォトリソグラフィと反応性イオンエッチングとによりビット線コンタクトを形成し、アルミニウム膜あるいはモリブデンポリサイドを用いたビット線14を形成する。このようにして図6に示したDRAMが完成する。

【0037】上記構成によれば、ストレージノードコンタクトの側壁に、プレート電極およびキャパシタ絶縁膜を介して自己整合的にストレージノード電極10が形成されるため、さらにストレージノードコンタクトの側壁を2重にキャパシタとして利用することができ、前記第1の実施例よりもさらにキャパシタ面積の増大をはかる

ことができる上、合わせ余裕をとることもなく、セルサイズを小さくすることが可能となる。

【0038】なお、前記実施例ではストレージノード電極のパターン形成に際し、レジストの露光量を制御してレジストパターンの下に空洞を形成するようにしたが、必ずしもこの方法をとらなくてもよい。

【0039】

【発明の効果】以上説明してきたように、本発明の半導体記憶装置によれば、製造が容易でかつ、メモリセル占有面積のさらなる縮小化に際しても、十分なキャパシタ容量を確保することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の積層形メモリセル構造のDRAMを示す図

【図2】同DRAMの製造工程図

【図3】同DRAMの製造工程図

【図4】同DRAMの製造工程図

【図5】同DRAMの製造工程図

【図6】本発明の第2の実施例の積層形メモリセル構造のDRAMを示す図

【図7】本発明の第2の実施例のDRAMの製造工程図

【図8】本発明の第2の実施例のDRAMの製造工程図

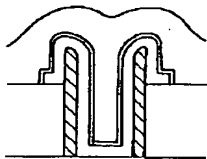
【図9】従来例のキャパシタ構造を示す図

【図10】従来例のキャパシタ構造を示す図

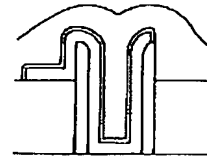
【符号の説明】

- 1 p型のシリコン基板
- 2 素子分離絶縁膜
- 3 チャネルストッパ
- 4 ゲート絶縁膜
- 5 ゲート電極
- 6 ソース・ドレイン領域
- 7 絶縁膜
- 8 ストレージノードコンタクト
- 9 側壁絶縁膜
- 10 ストレージノード電極
- 11 キャパシタ絶縁膜
- 12 プレート電極電極
- 14 ビット線

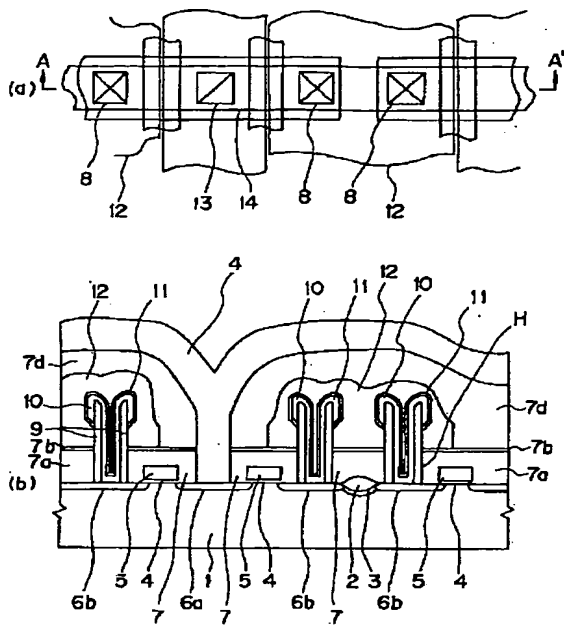
【図9】



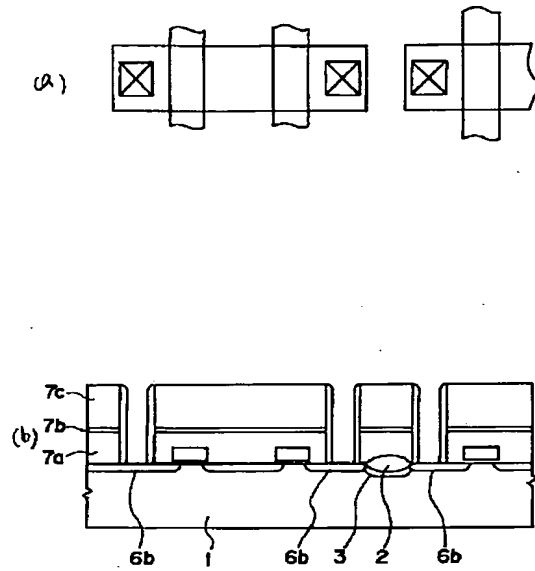
【図10】



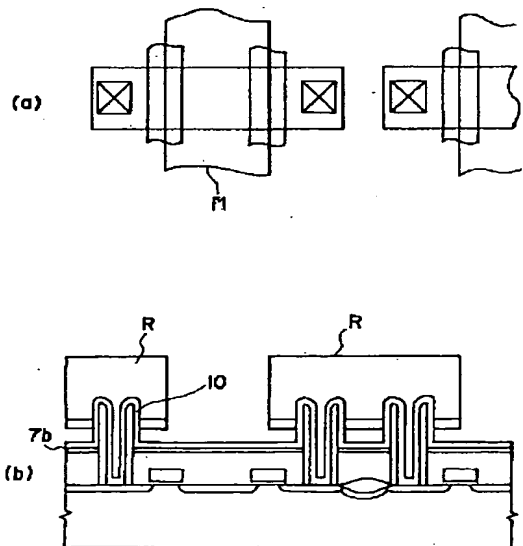
【図1】



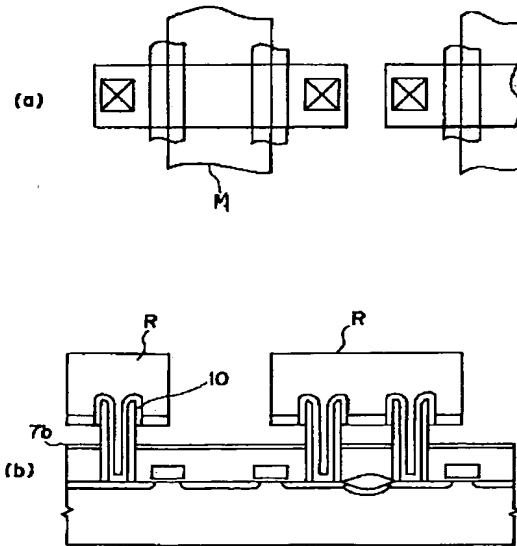
【図2】



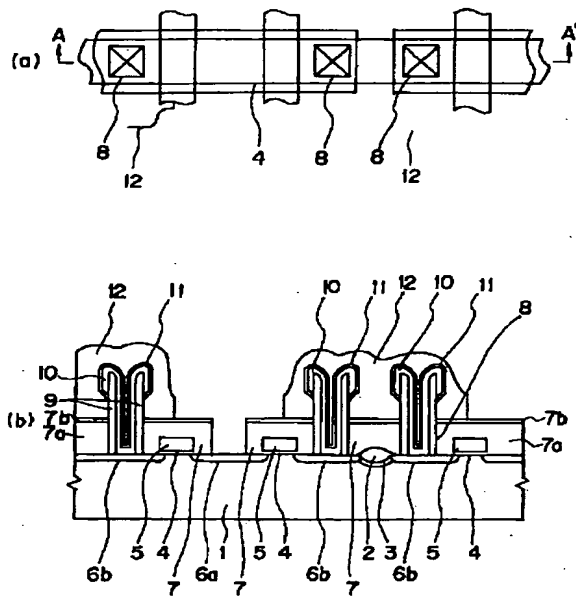
【図3】



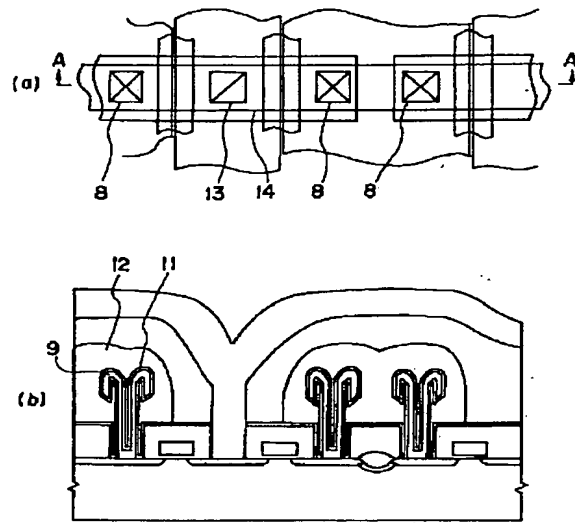
【図4】



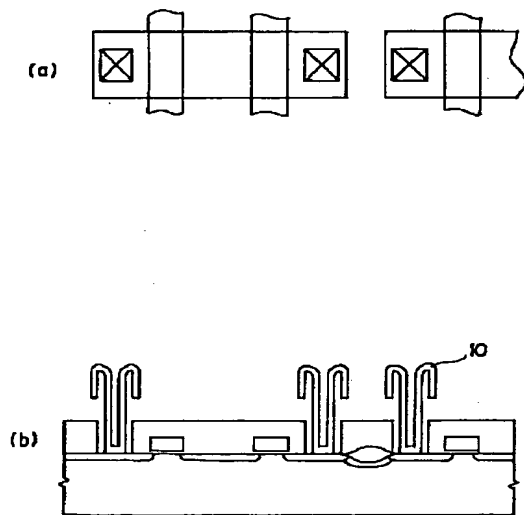
【図5】



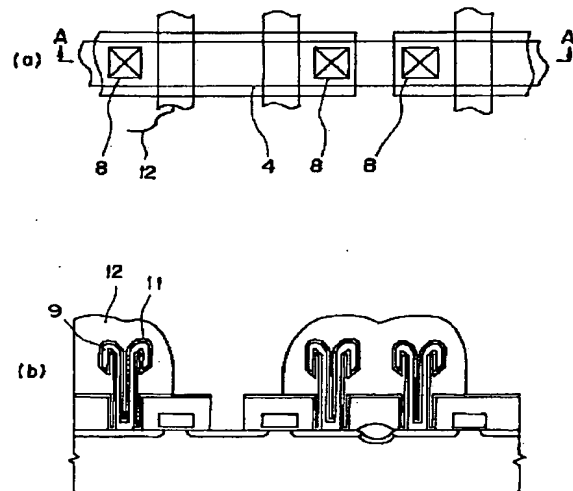
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 青木 正身
神奈川県川崎市幸区小向東芝町 1 株式
会社東芝総合研究所内